

550645

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 10 月 7 日 (07.10.2004)

PCT

(10) 国際公開番号  
WO 2004/086510 A1

- (51) 国際特許分類<sup>7</sup>: H01L 29/78, 21/336, 21/316
- (21) 国際出願番号: PCT/JP2004/003631
- (22) 国際出願日: 2004 年 3 月 18 日 (18.03.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2003-79290 2003 年 3 月 24 日 (24.03.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社堀場製作所 (HORIBA, LTD.) [JP/JP]; 〒601-8510 京都府京都市南区吉祥院宮の東町 2 番地 Kyoto (JP). ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒615-8585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP). 独立行政法人産業技術総合研究所 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND

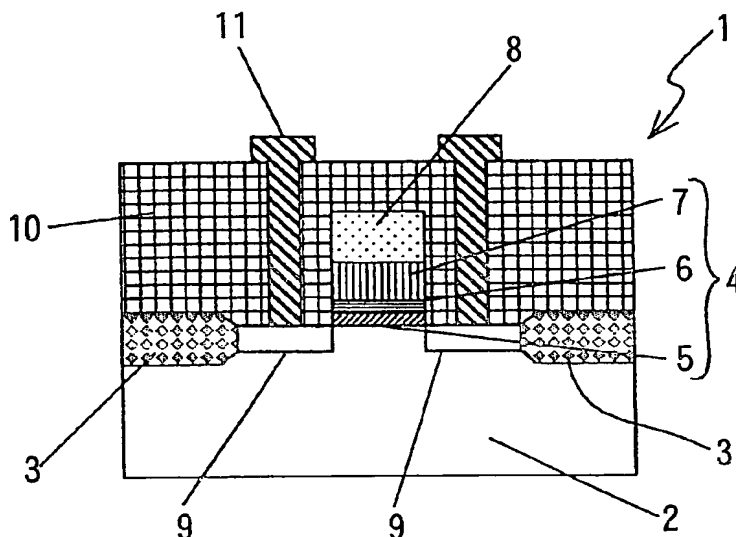
TECHNOLOGY) [JP/JP]; 〒100-8921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP). 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).

- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 富永 浩二 (TOM-INAGA, Koji) [JP/JP]; 〒601-8510 京都府京都市南区吉祥院宮の東町 2 番地 株式会社堀場製作所内 Kyoto (JP). 岩本 邦彦 (IWAMOTO, Kunihiko) [JP/JP]; 〒615-8585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 安田 哲二 (YASUDA, Tetsuji) [JP/JP]; 〒305-8562 茨城県つくば市東 1 丁目 1-1 独立行政法人産業技術総合研究所内 Ibaraki (JP). 生田 目 俊秀 (NABATAME, Toshihide) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置とその製造方法



(57) Abstract: A high-quality semiconductor device is disclosed in which deterioration in transistor characteristics and increase of interfacial layer ascribable to a gate insulating film are suppressed. A method for manufacturing such a semiconductor device is also disclosed. The semiconductor device comprises an interfacial layer, a diffusion-suppressing layer and a high-dielectric-constant insulating film formed in this order on a surface of a silicon substrate.

[続葉有]

WO 2004/086510 A1



(74) 代理人: 藤本 英夫 (FUJIMOTO, Hideo); 〒534-0025 大阪府 大阪市 都島区片町2丁目2番40号 大発ビル 5階 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,

SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

— すべての指定国のための先の出願に基づく優先権を主張する出願人の資格に関する申立て (規則4.17(iii))

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 本発明は、ゲート絶縁膜に起因するトランジスタ特性の劣化や界面層の増加を抑制した高品位の半導体装置とその製造方法を提供する。本発明では、シリコン基板の一つの面に界面層と拡散抑制層と高誘電率絶縁膜とがこの順で形成されている。

## 明細書

## 半導体装置とその製造方法

## 技術分野

- この発明は、半導体装置とその製造方法に関し、特に、シリコン基板に
- 5 金属酸化膜等をゲート絶縁膜として形成したMIS (Metal Insulator Semiconductor) 型トランジスタとしての半導体装置とその製造方法に関する。

## 背景技術

- 10 近年、半導体の高集積化に伴い、MIS型トランジスタのゲート絶縁膜には、従来のシリコン基板 (Si基板) を酸化させたSiO<sub>2</sub> から、より誘電体の大きな材料 (High-k) が用いられるようになってきている。しかしながら、High-k材料は、Si基板と相互拡散してしまい、誘電率が小さくなり、しかもトランジスタ作成プロセス時の熱処理によ
- 15 て、その拡散層がより増加してしまうといった課題があった。

- 上述のような課題を解決するために、例えば、特開2002-43565号公報に記載される技術が提案されている。すなわち、この技術は、Si基板とHigh-k材料の相互拡散を防ぐため、Siを窒化させたSi<sub>3</sub>N<sub>4</sub>膜をSi基板に一旦形成した後、High-k膜を形成するもので
- 20 ある。

しかしながら、前記公報に記載の技術では、窒素がSi界面近くに存在することによって、トランジスタ特性が劣化してしまうといった問題が発生しており、高品位のMIS型トランジスタを必ずしも確実に得られなかった。

この発明は、上述の事柄に留意してなされたもので、その目的は、ゲート絶縁膜に起因するトランジスタ特性の劣化や界面層の増加を抑制した高品位の半導体装置とその製造方法を提供することである。

## 5 発明の開示

上記目的を達成するため、この発明の半導体装置は、シリコン基板の一つの面に界面層と拡散抑制層と高誘電率絶縁膜とがこの順で形成されていることを特徴としている（請求の範囲第1項）。

前記半導体装置においては、例えばSi単結晶からなるSi基板と、このSi基板の一つの面側に形成される高誘電率絶縁膜（High-k絶縁膜）との間に、Si基板と相互拡散されるようにして形成されたSiとHigh-k構成金属元素から構成される酸化物が界面層として形成され、さらに、この界面層の上面に、当該界面層の前記High-k絶縁膜への拡散を抑制する拡散抑制層が形成されているので、界面層には、High-k構成金属元素、酸素元素およびSiしか存在しないこととなり、トランジスタ特性が劣化させられることがない。また、前記半導体装置においては、トランジスタ作製のプロセス中の熱処理によっても前記拡散抑制層の存在により、界面層の厚みが増大することがなく、高品位となる。

前記半導体装置において、界面層の厚みがSiO<sub>2</sub>等価換算膜厚で1.0nm以下であるのが好ましく（請求の範囲第2項）、また、高誘電率絶縁膜における構成元素が界面層における構成元素の一部と同じであるようにしてあってもよい（請求の範囲第3項）。

そして、上記目的を達成するため、この発明の半導体装置の製造方法は、シリコン基板の一つの面に初期層を形成し、この初期層の表面に拡散抑制層を形成した後、熱処理を施して前記初期層をシリコン基板と相互拡散させた界面層とし、その後、前記拡散抑制層の表面に高誘電率絶縁膜を形

成することを特徴としている（請求の範囲第4項）。

前記半導体装置の製造方法によれば、高品位の半導体装置を確実に得ることができる。

- また、上記目的を達成するため、この発明の半導体装置の製造方法は、
- 5 シリコン基板の一つの面に初期層を形成し、この初期層の表面に拡散抑制層を形成し、この拡散抑制層の表面に高誘電率絶縁膜を形成した後、熱処理を施して前記初期層をシリコン基板と相互拡散させた界面層とすることを特徴としている（請求の範囲第5項）。

- 前記半導体装置の製造方法によれば、請求の範囲第4項に記載の半導体
- 10 装置の製造方法の効果に加えて次のような効果がある。すなわち、成膜の手法としてALD（Atomic Layer Deposition；原子層成膜）法を採用することにより、同一のチャンバ内で途切れることなくプロセス処理を行うことができ、複数のチャンバを用意する必要がない。

15

#### 図面の簡単な説明

第1図はこの発明の半導体装置としてのMIS型トランジスタの構造を概略的に示す縦断面図である。

- 第2図は前記半導体装置のゲート絶縁膜の形成方法の一例を示す図であ
- 20 る。

第3図は前記半導体装置のゲート絶縁膜の形成方法の他の例を示す図である。

#### 発明を実施するための最良の形態

- 25 発明の実施の形態を図面を参照しながら説明する。まず、第1図は、この発明の半導体装置としてのMIS型トランジスタ1の構成を概略的に示

すもので、この図において、2はSi単結晶基板（以下、単にSi基板という）で、その抵抗率は例えば $0.01 \sim 15 \Omega \cdot \text{cm}$ である。3は素子間を分離させるための素子分離酸化膜で、Si基板1を熱酸化させて形成される。4はゲート絶縁膜で、界面層5、拡散抑制層6およびHigh-k膜7よりなる。このゲート絶縁膜4の形成方法については、後で詳しく説明する。

8はゲート絶縁膜4の上面に形成されるゲート電極で、例えば多結晶Si膜や多結晶SiGe膜またはゲート絶縁膜4と反応しないPt（白金）などの貴金属やTiN、TaNなどの高融点金属よりなる。9はチャンネル領域で、nチャンネルにはP（リン）を、pチャンネルにはB（ボロン）をそれぞれ注入し、 $800^\circ\text{C} \sim 1000^\circ\text{C}$ の温度で10～30分間熱処理を行って活性化させる。10は層間絶縁膜で、例えば $\text{SiO}_2$ であり、CVD（Chemical Vapor Deposition）法などで形成される。11は引き出し電極で、例えばAlよりなり、ソース・ドレイン電極となる。なお、パターニングは、例えばフォトリソグラフィの技術によって行われる。

次に、前記ゲート絶縁膜4を形成する第1の手法について、第2図を参照しながら説明する。

（11）まず、第2図（A）に示すように、適宜の厚さ（例えば、 $500 \mu\text{m}$ 程度）のSi単結晶板からなるSi基板2の一つの面2aにSiと相互拡散させるための初期層（第1層ともいう）5'として、 $\text{HfO}_2$ （酸化ハフニア）よりなる薄膜を約 $0.5 \text{ nm}$ の厚みで形成する。前記初期層5'の成膜の手段としては、CVD（Chemical Vapor Deposition）法、ALD法、スパッタ法など各種の公知の手法がある。

（12）次に、第2図（B）に示すように、初期層5'の上面に拡散抑

制膜6として、金属窒化膜としてのAlN膜を0.5～5nmの厚みで、  
または、金属酸窒化膜としての $AlO_xN_y$ 膜( $y > 0$ )を、0.5～5  
nmの厚みで形成する。この場合、AlN膜は、TMA(トリメチルアル  
ミニウム： $Al(CH_3)_3$ )とアンモニアガス( $NH_3$ )との交互原料  
5 供給によるALD法による成膜であっても、窒素含有ガス雰囲気中スパッ  
タ法であってもよい。また、 $AlO_xN_y$ 膜は、TMAと水蒸気ガス( $H_2O$ )との交互原料供給によるALD法によって成膜した $Al_2O_3$ 膜を  
 $NH_3$ ガス雰囲気中の熱処理によって作成した $AlO_xN_y$ であっても、  
前記手法で成膜した $Al_2O_3$ 膜をプラズマ窒素ガス雰囲気中で処理した  
10  $AlO_xN_y$ であってもよい。

(13) 次に、熱処理(約800℃)によって、Si基板2中のSiと  
初期層5'として $HfO_2$ を相互拡散させ、第2図(C)に示すように、  
界面層としての $HfSiO_4$ (ハフニアシリケート、)5を形成する。

(14) その後、拡散抑制膜6の上面にHigh-k膜7として、 $Hf$   
15  $O_2$ 膜を約5nmの厚みで成膜することにより、第2図(D)に示すよう  
に、Si基板2の一方の面2a上に、界面層5、拡散抑制膜6およびHigh-k膜7の三層構造を有するゲート絶縁膜4を形成することができる。  
前記High-k膜としての $HfO_2$ 膜7の成膜は、CVD法、ALD  
法あるいはスパッタ法のいずれで行ってもよい。

20 上述のようにして形成された半導体装置1のゲート絶縁膜4は、トラン  
ジスタ作製のプロセス中の熱処理によっても、電気絶縁性に優れた拡散抑  
制膜6が界面層5とHigh-k膜7との間に形成されているので、界面  
層5がその厚みを増大させることはない。また、前記拡散抑制膜6が存在  
することにより、High-k膜7中の酸素が界面層5側に拡散するのが  
25 抑制され、その結果、High-k性が損なわれるといったことが効果的  
に防止される。したがって、上記半導体装置1のゲート絶縁膜4は、高品

位であるとともに、その製造方法は、高品位の半導体装置 1 のゲート絶縁膜 4 を確実に製造することができる。

なお、上述の実施の形態においては、High-k 膜 7 を  $\text{HfO}_2$  膜で形成していたが、この  $\text{HfO}_2$  膜に代えて、 $\text{ZrO}_2$  や  $\text{TiO}_2$  とし、界面層 5 を  $\text{ZrSiO}_4$ 、 $\text{TiSiO}_4$  でそれぞれ形成してあってもよく、また、 $\text{HfO}_2$  と  $\text{Al}_2\text{O}_3$  など High-k 膜複合物（この場合、 $\text{HfAlO}_x$ ）で形成し、初期層 5' を  $\text{HfO}_2$  とし、界面層 5 を  $\text{HfSiO}_4$  とし、高誘電率絶縁膜である High-k 膜 7 における構成元素が界面層 5 における構成元素の一部と同じであるように構成してもよい。

10 第 3 図は、ゲート絶縁膜 4 の形成する第 2 の手法を概略的に示すものである。

（21）まず、第 3 図（A）に示すように、適宜厚さ（例えば、 $500\text{ }\mu\text{m}$  程度）の Si 単結晶板からなる Si 基板 2 の一つの面 2a に Si と相互拡散させるための初期層 5' として、 $\text{HfO}_2$  よりなる薄膜を約  $0.5\text{ nm}$  の厚みで形成する。前記初期層 5' の成膜の手段としては、 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$  と水蒸気ガスとの交互原料供給による ALD 法で行う。このときの基板温度は  $250\sim 350^\circ\text{C}$ 、成膜サイクル数は 4 回である。

（22）次に、供給ガスを代えて、TMA とアンモニアガスとの交互原料供給による ALD 法によって、第 3 図（B）に示すように、初期層 5' の上面に拡散抑制膜 6 として、AlN 膜を  $0.5\text{ nm}$  の厚みで形成する。このときの基板温度は  $250\sim 350^\circ\text{C}$ 、成膜サイクル数は 5 回である。

（23）次に、第 3 図（C）に示すように、拡散抑制膜 6 の上面に High-k 膜 7 として、 $\text{HfO}_2$  膜を約  $5\text{ nm}$  の厚みで成膜する。前記 High-k 膜 7 の成膜の手段としては、 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$  と水蒸気ガスとの交互原料供給による ALD 法で行う。つまり、前記（21）と同じである。このときの基板温度は  $250\sim 350^\circ\text{C}$ 、成膜サイクル数は 4



0 回である。

(24) 最後に、熱処理(約800℃、60秒間)によって、Si基板2中のSiと初期層5'としての $\text{HfO}_2$ を相互拡散させ、第3図(D)に示すように、界面層としての $\text{HfSiO}_4$  5を形成することにより、Si基板2の一方の面2a上に、界面層5、拡散抑制膜6およびHigh-k膜7の三層構造を有するゲート絶縁膜4を形成することができる。

上述のようにして製作された半導体装置1のゲート絶縁膜4においても、トランジスタ作製のプロセス中の熱処理によっても、電気絶縁性に優れた拡散抑制膜6が界面層5とHigh-k膜7との間に形成されているので、界面層5がその厚みを増大させることはない。また、前記拡散抑制膜6が存在することにより、High-k膜7中の酸素が界面層5側に拡散するのが抑制され、その結果、High-k性が損なわれるといったことが効果的に防止される。したがって、上記半導体装置1のゲート絶縁膜4は、高品位である。

そして、この第3図のゲート絶縁膜4の形成方法によれば、各膜5' 6, 7の成膜をALD法によって行うことにより、同一チャンバ内で途切れることなく成膜を行うことができ、複数の装置やチャンバを用意する必要がなく、製造設備が少なく済むとともに、高品位のゲート絶縁膜4を効率よく形成することができる。

20

#### 産業上の利用可能性

以上説明したように、この発明によれば、ゲート絶縁膜に起因するトランジスタ特性の劣化や界面層の増加を抑制することができ、したがって、高品位のMIS型トランジスタを得ることができる。

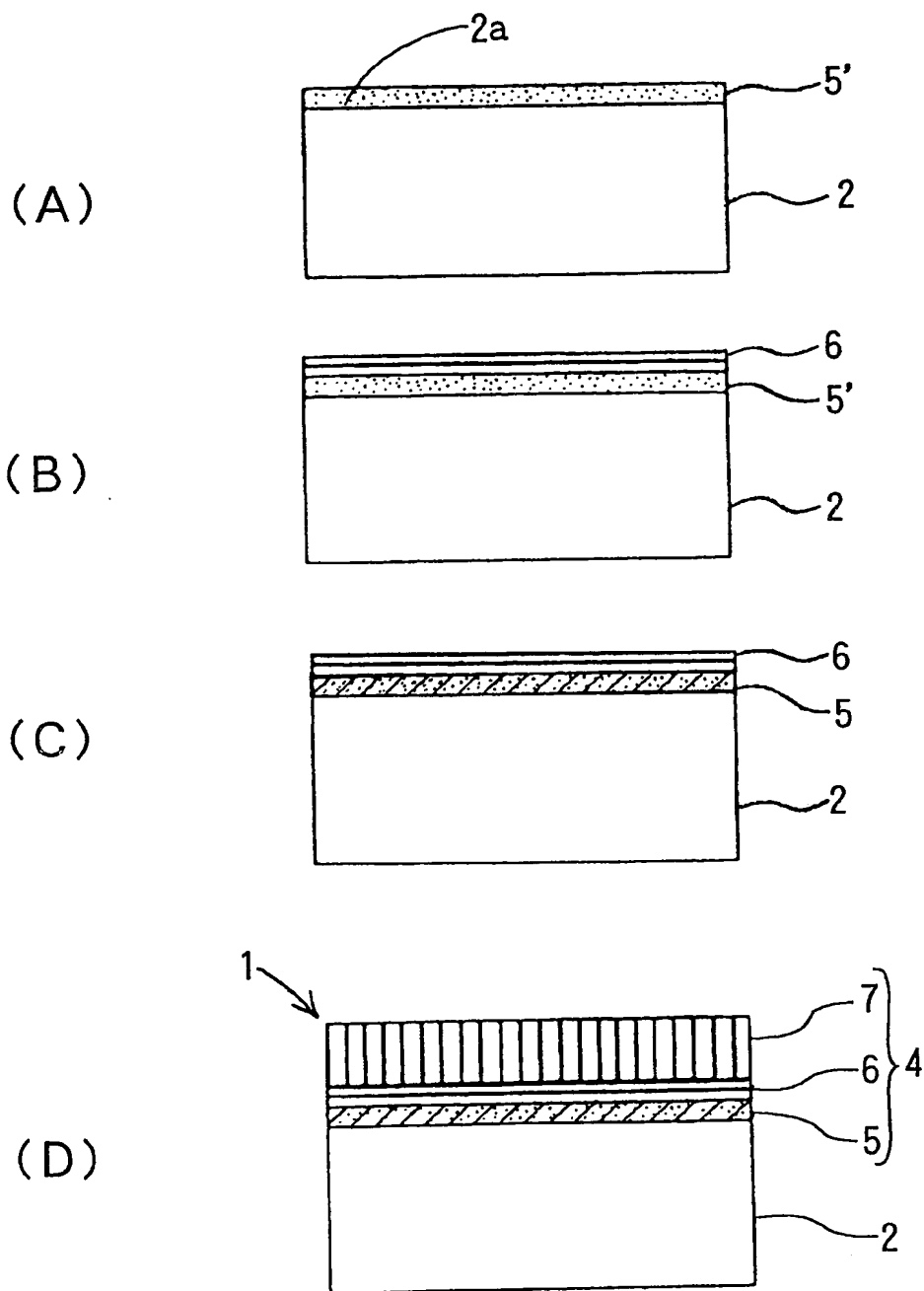
## 請求の範囲

1. シリコン基板の一つの面に界面層と拡散抑制層と高誘電率絶縁膜とがこの順で形成されていることを特徴とする半導体装置。
2. 界面層の厚みが $\text{SiO}_2$ 等価換算膜厚で $1.0\text{ nm}$ 以下である請求の範囲第1項に記載の半導体装置。
- 5 3. 高誘電率絶縁膜における構成元素が界面層における構成元素の一部と同じである請求の範囲第1項または第2項に記載の半導体装置。
4. シリコン基板の一つの面に初期層を形成し、この初期層の表面に拡散抑制層を形成した後、熱処理を施して前記初期層をシリコン基板と相互拡散させた界面層とし、その後、前記拡散抑制層の表面に高誘電率絶縁膜
- 10 を形成することを特徴とする半導体装置の製造方法。
5. シリコン基板の一つの面に初期層を形成し、この初期層の表面に拡散抑制層を形成し、この拡散抑制層の表面に高誘電率絶縁膜を形成した後、熱処理を施して前記初期層をシリコン基板と相互拡散させた界面層とすることを特徴とする半導体装置の製造方法。

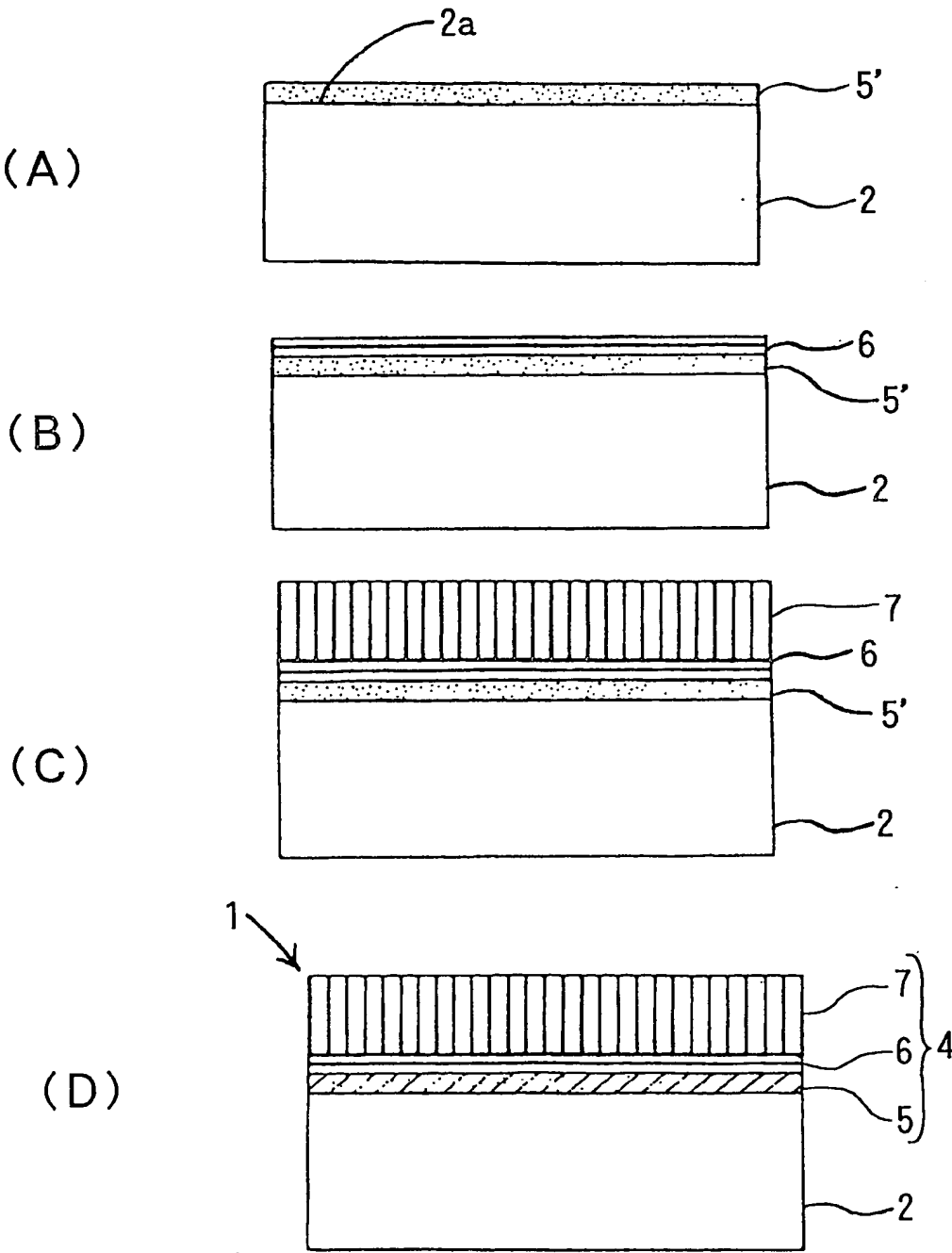


2/3

第2図



第3図



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003631

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L29/78, H01L21/336, H01L21/316

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L29/78, H01L21/336, H01L21/316

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2001-267566 A (Sharp Corp.), 28 September, 2001 (28.09.01), Full text; all drawings & EP 1124262 A2 & US 2002/0130340 A1 & KR 1082118 A & TW 485540 A	1-3, 5 4
X	JP 2002-324901 A (Hitachi, Ltd.), 08 November, 2002 (08.11.02), Full text; all drawings (Family: none)	1-3
X	JP 2003-68731 A (Tokyo Electron Ltd.), 07 March, 2003 (07.03.03), Full text; all drawings & WO 03/19644 A1 & KR 3051883 A	1-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
03 June, 2004 (03.06.04).

Date of mailing of the international search report  
22 June, 2004 (22.06.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# **INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/003631

## **C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-359370 A (Fujitsu Ltd.), 13 December, 2002 (13.12.02), Full text; all drawings & CN 1384549 A & KR 2077126 A & US 2002/0146916 A1	1-3
A	JP 2002-246594 A (International Business Machines Corp.), 30 August, 2002 (30.08.02), Full text; all drawings & CN 1363958 A & US 2002/0090773 A1	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl <sup>7</sup> H01L29/78, H01L21/336, H01L21/316		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl <sup>7</sup> H01L29/78, H01L21/336, H01L21/316		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2001-267566 A(シャープ株式会社) 2001.09.28 全文, 全図 & EP 1124262 A2 & US 2002/0130340 A1 & KR 1082118 A & TW 485540 A	1-3, 5 4
X	JP 2002-324901 A(株式会社日立製作所) 2002.11.08 全文, 全図(ファミリーなし)	1-3
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
03.06.2004	22.6.2004	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 松嶋 秀忠	4M 9836
電話番号 03-3581-1101 内線 3460		



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-68731 A(東京エレクトロン株式会社) 2003.03.07 全文, 全図 & WO 03/19644 A1 & KR 3051883 A	1-3
X	JP 2002-359370 A(富士通株式会社) 2002.12.13 全文, 全図 & CN 1384549 A & KR 2077126 A & US 2002/0146916 A1	1-3
A	JP 2002-246594 A(インターナショナル・ビジネス・マシーンズ・ コーポレーション) 2002.08.30 全文, 全図 & CN 1363958 A & US 2002/0090773 A1	1-5